



Docket No.: 22040-00026-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Munehiro Karasudani

Application No.: 10/707,547

Confirmation No.: 1546

Filed: December 20, 2003

Art Unit: N/A

For: ANALOG/DIGITAL MIXED INTEGRATED
CIRCUIT

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2001-220879	July 23, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22040-00026-US from which the undersigned is authorized to draw.

Dated: December 22, 2003
14739_1

Respectfully submitted,

By Larry J. Hume
Larry J. Hume

Registration No.: 44,163
CONNOLLY BOVE LODGE & HUTZ LLP
1990 M Street, N.W., Suite 800
Washington, DC 20036-3425
(202) 331-7111
(202) 293-6229 (Fax)
Attorney for Applicant

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2001年 7月23日

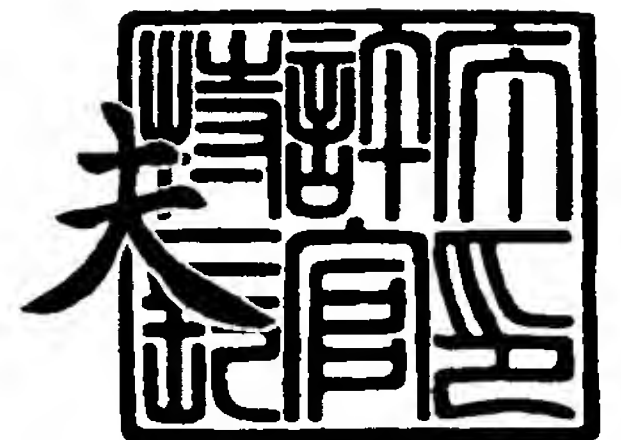
出願番号
Application Number: 特願2001-220879
[ST. 10/C]: [JP 2001-220879]

出願人
Applicant(s): 新潟精密株式会社

2003年10月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 13NS1308

【提出日】 平成13年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都港区芝大門 1 丁目 1 6 番 3 号 芝大門 1 1 6 ビル
7 F 新潟精密株式会社内

【氏名】 烏谷 宗宏

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【代理人】

【識別番号】 100105784

【弁理士】

【氏名又は名称】 橘 和之

【電話番号】 0492-49-5122

【手数料の表示】

【予納台帳番号】 070162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006161

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログ・デジタル混載集積回路

【特許請求の範囲】

【請求項 1】 アナログ回路とデジタル回路とを同じ半導体チップ上に混載したアナログ・デジタル混載集積回路であって、

上記半導体チップ内にアナログ回路領域とデジタル回路領域とを有し、クロック信号を発生するクロック発生回路を上記デジタル回路領域内に配置するとともに、上記クロック信号によりスイッチング動作してアナログ信号処理するスイッチング回路を上記デジタル回路領域内に配置するようにしたことを特徴とするアナログ・デジタル混載集積回路。

【請求項 2】 上記スイッチング回路を上記クロック発生回路の近傍に配置したことを特徴とする請求項 1 に記載のアナログ・デジタル混載集積回路。

【請求項 3】 アナログ回路とデジタル回路とを同じ半導体チップ上に混載したアナログ・デジタル混載集積回路であって、

上記半導体チップは、第 1 の周波数のクロック信号により動作してアナログ信号処理する第 1 のスイッチング回路と、上記第 1 の周波数よりも高い第 2 の周波数のクロック信号により動作してアナログ信号処理する第 2 のスイッチング回路と、上記第 1 および第 2 の周波数のクロック信号を発生するクロック発生回路とを含み、

上記半導体チップ内にアナログ回路領域とデジタル回路領域とを有し、上記第 1 のスイッチング回路を上記アナログ回路領域内に配置するとともに、上記第 2 のスイッチング回路および上記クロック発生回路を上記デジタル回路領域内に配置するようにしたことを特徴とするアナログ・デジタル混載集積回路。

【請求項 4】 上記第 2 のスイッチング回路を上記クロック発生回路の近傍に配置したことを特徴とする請求項 3 に記載のアナログ・デジタル混載集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ回路とデジタル回路とを 1 つの半導体チップ上に集積したアナログ・デジタル混載集積回路に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話装置や P D A (Personal Digital Assistants) に加え、ラジオ受信機・デジタルカメラ・ゲーム機器などエンタテイメント機器、エアコン・冷蔵庫などの家電製品、自動販売機、工場内の製造装置、計測機器、カーナビゲーションシステムなどの車載機器、事務機器など、多くの電子機器が通信手段を内蔵し、ネットワーク端末として利用されるようになってきている。

【 0 0 0 3 】

このようなネットワーク環境において、“いつでも・どこでも・だれとでも”の通信を可能としたのが、無線通信である。無線通信のための手段には、携帯電話装置や P D A の他、近距離無線データ通信技術のブルートゥースや、5 G H z 帯を使う無線 L A N などがある。

【 0 0 0 4 】

これらの無線通信端末は、当然のことながら手軽に持ち運べることが前提となる。そのため、小型・軽量・低消費電力が強く要求される。一般に、無線通信端末は多機能化・高機能化する傾向にある。それでも機器全体としては小型・軽量・低消費電力であることが要求される。したがって、機器に内蔵する無線通信機能には、さらに小型・軽量・薄型・低消費電力化が要求される。

【 0 0 0 5 】

このことを背景に、半導体集積回路において多機能化、高集積化、高密度化などの開発が急速に進められている。コンデンサなどの受動部品を含む無線回路を 1 チップ化もしくは 1 モジュール化する試みも成されている。最近では、従来はアナログ L S I とデジタル L S I と独立していたものを、アナログ・デジタル混載 L S I として 1 つにまとめて集積するための開発も行われている。

【 0 0 0 6 】

例えば、アナログ信号を送受信するための無線回路（アナログ回路）と、P L L (Phase Locked Loop) シンセサイザ回路（デジタル回路）や、送受信する信

号をデジタル信号処理するためのベースバンド信号処理回路（デジタル回路）とを 1 チップ化もしくは 1 モジュール化する試みが盛んに行われている。

【 0 0 0 7 】

【発明が解決しようとする課題】

アナログ・デジタル混載集積回路では、アナログ回路とデジタル回路とを別チップ上に構成していた場合に比べて、互いが近傍に配置されることになる。そのため、デジタル回路の大きなノイズが高感度のアナログ回路に入り込んでしまうことが多くなる。この場合は、アナログ信号の特性を大きく劣化させてしまう。したがって、このようなアナログ回路とデジタル回路との結合ノイズをいかに低減するかが非常に重要となる。

【 0 0 0 8 】

特に、デジタル回路には、その制御基準となるクロック信号が供給されている。この場合に、デジタル回路の近傍にアナログ回路（例えば高周波回路）があると、クロック信号の高調波成分がデジタルノイズとしてアナログ回路に飛び込んでしまい、無線で送受信するアナログ信号の特性を大きく劣化させてしまう。例えば、音声信号を送受信する場合には、受信感度が低下して音質が著しく劣化してしまい、非常に聞きづらくなってしまう。

【 0 0 0 9 】

そこで、例えば高周波回路などのフロントエンド部をアナログ回路で構成し、ベースバンド信号処理回路をデジタル回路で構成するなど、アナログ回路あるいはデジタル回路の何れかを機能単位で採用することにより、チップレイアウト上アナログ回路領域とデジタル回路領域とに分離して配置することが行われる。

【 0 0 1 0 】

ところが、図 3 に示すように、アナログ・デジタル混載集積回路の用途によっては、アナログ回路領域の中にも、クロック信号によりスイッチングするような回路が含まれる場合も存在する（本明細書では、クロック信号に基づき動作する回路をスイッチング回路と呼ぶ）。

【 0 0 1 1 】

一方、クロック信号を発生するクロック発生回路は、デジタル回路領域に設け

られるのが通常である。この場合、デジタル回路領域に設けられたクロック発生回路から、アナログ回路領域に設けられたスイッチング回路まで配線されるクロックラインの配線長が長くなってしまふ。しかし、高集積化、高密度化されたアナログ・デジタル混載集積回路では、配線間または部品間の間隔は非常に狭くなっている。そのため、長いクロックライン上を流れるクロック信号が周囲に与える影響が大きくなる。

【 0 0 1 2 】

特に、高周波信号の送受信部に当たる高周波増幅回路などがクロックラインの近傍に存在する場合には、クロック信号によるデジタルノイズが高周波増幅回路に飛び込んでアナログ信号の特性を著しく悪化させてしまふ。クロック信号のエネルギーはその周波数が高くなるほど大きくなるので、上述のような問題は、クロック信号の周波数が高くなるほど顕在化する。

【 0 0 1 3 】

本発明は、このような実情に鑑みて成されたものであり、クロックライン上を流れるクロック信号によるデジタルノイズをアナログ回路が受けて、アナログ信号の品質が劣化してしまふ不都合を抑止できるようにすることを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明のアナログ・デジタル混載集積回路は、アナログ回路とデジタル回路とを同じ半導体チップ上に混載したアナログ・デジタル混載集積回路であつて、上記半導体チップ内にアナログ回路領域とデジタル回路領域とを有し、クロック信号を発生するクロック発生回路を上記デジタル回路領域内に配置するとともに、上記クロック信号によりスイッチング動作してアナログ信号処理するスイッチング回路を上記デジタル回路領域内に配置するようにしたことを特徴とする。

ここで、上記スイッチング回路は上記クロック発生回路の近傍に配置するのが好ましい。

【 0 0 1 5 】

本発明の他の態様では、アナログ回路とデジタル回路とを同じ半導体チップ上に混載したアナログ・デジタル混載集積回路であつて、上記半導体チップは、第

1 の周波数のクロック信号により動作してアナログ信号処理する第 1 のスイッチング回路と、上記第 1 の周波数よりも高い第 2 の周波数のクロック信号により動作してアナログ信号処理する第 2 のスイッチング回路と、上記第 1 および第 2 の周波数のクロック信号を発生するクロック発生回路とを含み、上記半導体チップ内にアナログ回路領域とデジタル回路領域とを有し、上記第 1 のスイッチング回路を上記アナログ回路領域内に配置するとともに、上記第 2 のスイッチング回路および上記クロック発生回路を上記デジタル回路領域内に配置するようにしたこととを特徴とする。

ここで、上記第 2 のスイッチング回路を上記クロック発生回路の近傍に配置するのが好ましい。

【 0 0 1 6 】

本発明は上記技術手段より成るので、半導体チップのデジタル回路領域内に設けられたクロック発生回路から、クロック信号に基づき動作するスイッチング回路まで引かれるクロックラインの配線長を短くすることが可能となるとともに、クロックラインからアナログ回路領域内のアナログ回路までの距離をできるだけ遠く離すことが可能となる。また、スイッチング回路自体とアナログ回路領域内のアナログ回路との距離もできるだけ遠く離すことが可能となる。

【 0 0 1 7 】

【発明の実施の形態】

（第 1 の実施形態）

以下、本発明の第 1 の実施形態を図面に基づいて説明する。

図 1 は、第 1 の実施形態によるアナログ・デジタル混載集積回路のチップレイアウト例を示す図である。

【 0 0 1 8 】

図 1 に示すように、アナログ回路とデジタル回路とを混載した本実施形態の IC チップ 1 0 は、第 1 のアナログ回路 3 と、クロック信号 C K に基づき動作し、第 1 のアナログ回路 3 の出力信号を入力して処理するスイッチング回路 4 と、スイッチング回路 4 の出力信号を入力して処理する第 2 のアナログ回路 5 と、上記クロック信号 C K を発生するクロック発生回路 6 とを集積している。

【0019】

このICチップ10は、アナログ回路をまとめて集積するアナログ回路領域1と、デジタル回路をまとめて集積するデジタル回路領域2とを有している。アナログ回路領域1とデジタル回路領域2との境界部には、ガードリング7が形成されている。

【0020】

なお、ここで示した各回路3～6は、ICチップ10内に集積されている回路の一部を図示したに過ぎないものであり、これ以外の回路をICチップ10内に集積していても良い。ただし、アナログ回路はアナログ回路領域1内に集積され、デジタル回路はデジタル回路領域2内に集積される。

【0021】

本実施形態では、アナログ回路領域1には、第1のアナログ回路3および第2のアナログ回路5を集積している。また、デジタル回路領域2には、スイッチング回路4（これは、アナログ回路かデジタル回路かを問わない）およびクロック発生回路6を集積している。

【0022】

第1のアナログ回路3と第2のアナログ回路5とをアナログ回路領域1に配置し、その間の処理回路であるスイッチング回路4をデジタル回路領域2に配置することにより、第1のアナログ回路3とスイッチング回路4との間、スイッチング回路4と第2のアナログ回路5との間の信号ライン8の配線長は、通常通りスイッチング回路4もアナログ回路領域1に配置する場合に比べて長くなる。

【0023】

しかし、スイッチング回路4とクロック発生回路6との間の距離は短くなり、スイッチング回路4にクロック信号CKを供給するためのクロックライン9の配線長を短くすることができる。アナログ回路にとって、信号ライン8が長くなることよりも、大きなデジタルノイズの発生源となるクロックライン9がアナログ回路領域1の中まで長く引き回されることの方が問題である。

【0024】

スイッチング回路4をデジタル回路領域2に配置することで、クロックライン

9がアナログ回路領域1の中に入らないようにすることができ、クロック信号CKによるデジタルノイズがアナログ回路に飛び込む不都合を抑制することができる。しかも、アナログ回路領域1とデジタル回路領域2との間にガードリング7を設けているので、デジタルノイズの混入をより確実に抑止することができる。

【0025】

特に、アナログ回路領域1内に高感度の高周波増幅回路が存在する場合に、その高周波増幅回路をクロックライン9からできるだけ遠く離して配置することができる。これにより、クロック信号CKによるデジタルノイズが高周波増幅回路に飛び込んでアナログ信号の特性を悪化させる不都合を抑制することができる。

【0026】

また、スイッチング回路4をデジタル回路領域2内に配置することで、スイッチング回路4自体とアナログ回路領域1内のアナログ回路との距離もできるだけ遠く離すことが可能となる。また、スイッチング回路4とアナログ回路領域1内のアナログ回路とをガードリング7によって分離することが可能となる。これにより、スイッチング回路4で発生するスイッチングノイズがアナログ回路に飛び込んでアナログ信号の特性を悪化させる不都合を抑制することもできる。

【0027】

なお、デジタル回路領域2内におけるスイッチング回路4の配置は、できるだけクロックライン9の配線長を短くするために、クロック発生回路6の近傍に配置するのが好ましい。

【0028】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。

図2は、第2の実施形態によるアナログ・デジタル混載集積回路のチップレイアウト例を示す図である。

【0029】

本実施形態のICチップ20は、第1のアナログ回路21と、第1のクロック信号CK1に基づき動作し、第1のアナログ回路21の出力信号を入力して処理する第1のスイッチング回路22と、第2のクロック信号CK2に基づき動作し

、第1のアナログ回路21の出力信号を入力して処理する第2のスイッチング回路23と、第1のスイッチング回路22の出力信号を入力して処理する第2のアナログ回路24と、第2のスイッチング回路23の出力信号を入力して処理する第3のアナログ回路25と、上記クロック信号CK1、CK2を発生するクロック発生回路26とを集積している。

【0030】

このICチップ20も、アナログ回路をまとめて集積するアナログ回路領域1と、デジタル回路をまとめて集積するデジタル回路領域2とを有している。アナログ回路領域1とデジタル回路領域2との境界部には、ガードリング27が形成されている。

【0031】

クロック発生回路26が発生する第1および第2のクロック信号CK1、CK2に関して、第1のクロック信号CK1の周波数よりも、第2のクロック信号CK2の周波数の方が高いものとする。したがって、第1のクロック信号CK1より第2のクロック信号CK2の方が大きなエネルギーを持つ。

【0032】

なお、ここで示した各回路21～26は、ICチップ20内に集積されている回路の一部を図示したに過ぎないものであり、これ以外の回路をICチップ20内に集積していても良い。ただし、アナログ回路はアナログ回路領域1内に集積され、デジタル回路はデジタル回路領域2内に集積される。

【0033】

本実施形態では、アナログ回路領域1には、第1のアナログ回路21、第1のスイッチング回路22、第2のアナログ回路24および第3のアナログ回路25を集積している。また、デジタル回路領域2には、第2のスイッチング回路23およびクロック発生回路26を集積している。

【0034】

第1のアナログ回路21と第3のアナログ回路25とをアナログ回路領域1に配置し、その間の処理回路である第2のスイッチング回路23をデジタル回路領域2に配置することにより、第2のスイッチング回路23とクロック発生回路2

6 との間の距離は短くなり、スイッチング回路 2 3 に第 2 のクロック信号 C K 2 を供給するための第 2 のクロックライン 2 9 の配線長を短くすることができる。

【 0 0 3 5 】

上述のように、第 2 のクロック信号 C K 2 は、第 1 のクロック信号 C K 1 に比べて周波数が高く、大きなエネルギーを持った信号である。したがって、このような第 2 のクロック信号 C K 2 が流れる第 2 のクロックライン 2 9 がアナログ回路領域 1 の中まで長く引き回されると、大きなデジタルノイズがアナログ回路内に飛び込むことが多くなる。

【 0 0 3 6 】

しかし、本実施形態によれば、第 2 のスイッチング回路 2 3 をデジタル回路領域 2 内に配置しているので、第 2 のクロックライン 2 9 がアナログ回路領域 1 の中に入らないようにすることができ、第 2 のクロック信号 C K 2 によるデジタルノイズがアナログ回路に飛び込む不都合を抑制することができる。しかも、アナログ回路領域 1 とデジタル回路領域 2 との間にガードリング 7 を設けているので、デジタルノイズの混入をより確実に抑止することが可能である。

【 0 0 3 7 】

なお、デジタル回路領域 2 内における第 2 のスイッチング回路 2 3 の配置は、できるだけ第 2 のクロックライン 2 9 の配線長を短くするために、クロック発生回路 2 6 の近傍に配置するのが好ましい。

【 0 0 3 8 】

一方、第 1 のアナログ回路 2 1 と第 2 のアナログ回路 2 4 との間の処理回路である第 1 のスイッチング回路 2 2 については、当該第 1、第 2 のアナログ回路 2 1、2 4 と同じアナログ回路領域 1 に配置している。第 1 のスイッチング回路 2 2 に供給される第 1 のクロック信号 C K 1 は、第 2 のクロック信号 C K 2 に比べて周波数が低く、当該第 1 のクロック信号 C K 1 によるデジタルノイズの影響はそれほど大きくないものである。

【 0 0 3 9 】

したがって、第 1 のスイッチング回路 2 2 についてはアナログ回路領域 1 に配置することで、クロック発生回路 6 から第 1 のスイッチング回路 2 2 まで引かれ

る第 1 のクロックライン 2 8 の配線長は多少長くなるが、第 1 のアナログ回路 2 1 と第 1 のスイッチング回路 2 2 との間、第 1 のスイッチング回路 2 2 と第 2 のアナログ回路 2 4 との間の信号ライン 3 0 の配線長を短くすることができる。

【 0 0 4 0 】

本実施形態の特徴は、異なる周波数のクロック信号に従って動作するスイッチング回路が複数ある場合に、少なくとも、クロック信号の周波数が高くてデジタルノイズの影響が大きくなるスイッチング回路をデジタル回路領域 2 に配置することにある。このようにすることで、大きなエネルギーを持ったクロック信号によるデジタルノイズがアナログ回路に飛び込んでアナログ信号の特性を劣化させる不都合を抑制することができる。

【 0 0 4 1 】

なお、上記に示した各実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 0 4 2 】

【発明の効果】

以上説明したように、本発明によれば、半導体チップのデジタル回路領域内に設けられたクロック発生回路から、クロック信号に基づき動作するスイッチング回路まで引かれるクロックラインの配線長を短くすることが可能となるとともに、クロックラインからアナログ回路領域内のアナログ回路までの距離をできるだけ遠く離すことが可能となる。これにより、クロックライン上を流れるクロック信号によるデジタルノイズがアナログ回路内に飛び込んでしまう不都合を抑制し、アナログ回路とデジタル回路との間の結合ノイズを低減することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態によるアナログ・デジタル混載集積回路のチップレイアウト例を示す図である。

【図 2】

第 2 の実施形態によるアナログ・デジタル混載集積回路のチップレイアウト例を示す図である。

【図 3】

クロック信号によりスイッチング動作する回路がアナログ回路の間に存在する回路の例を示す図である。

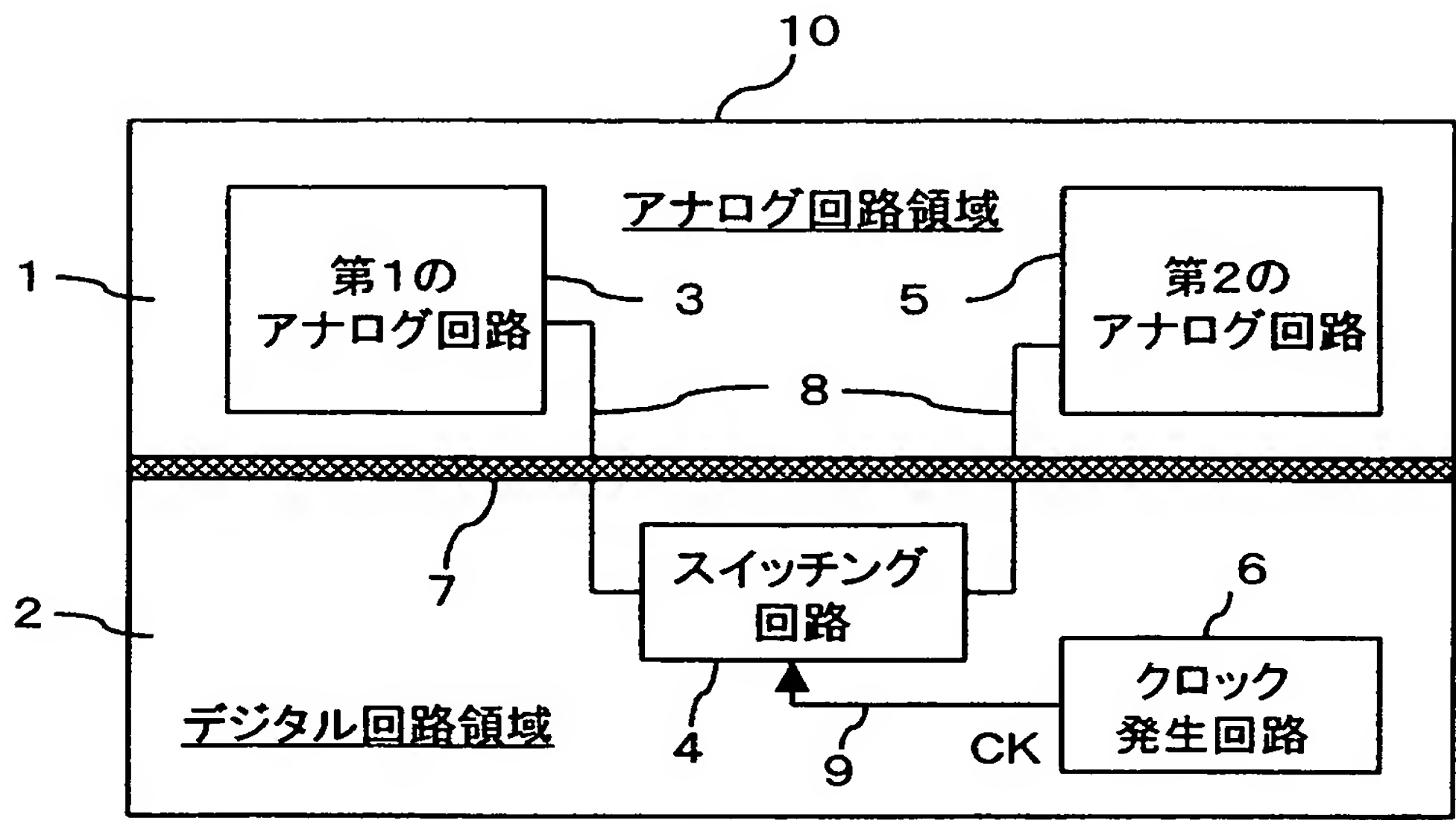
【符号の説明】

- 1 アナログ回路領域
- 2 デジタル回路領域
- 3 第 1 のアナログ回路
- 4 スwitching回路
- 5 第 2 のアナログ回路
- 6 クロック発生回路
- 7 ガードリング
- 8 信号ライン
- 9 クロックライン
- 1 0 I Cチップ
- 2 0 I Cチップ
- 2 1 第 1 のアナログ回路
- 2 2 第 1 のスイッチング回路
- 2 3 第 2 のスイッチング回路
- 2 4 第 2 のアナログ回路
- 2 5 第 3 のアナログ回路
- 2 6 クロック発生回路
- 2 7 ガードリング
- 2 8 第 1 のクロックライン
- 2 9 第 2 のクロックライン
- 3 0 信号ライン

【書類名】 図面

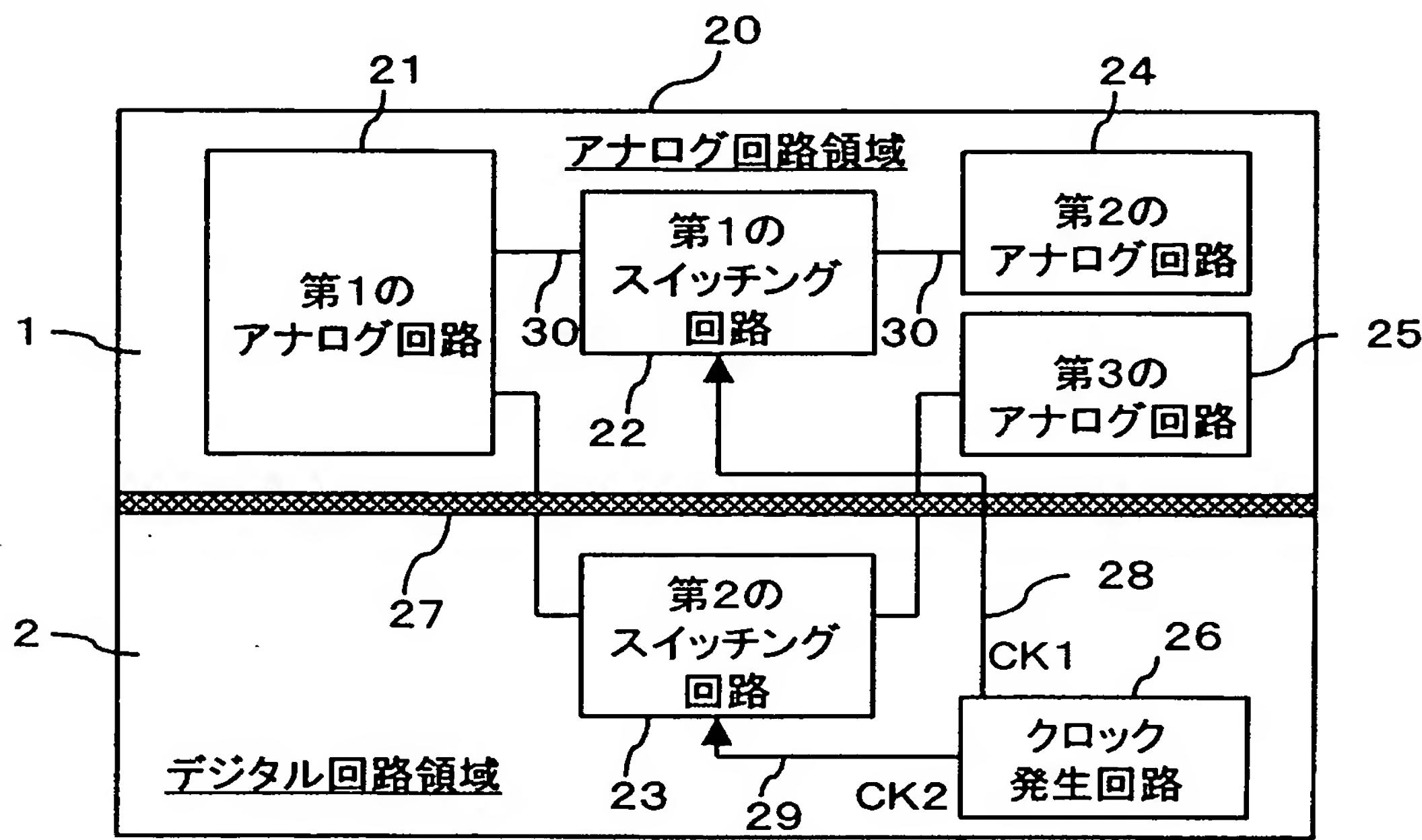
【図 1】

第1の実施形態によるアナログ・デジタル混載集積回路



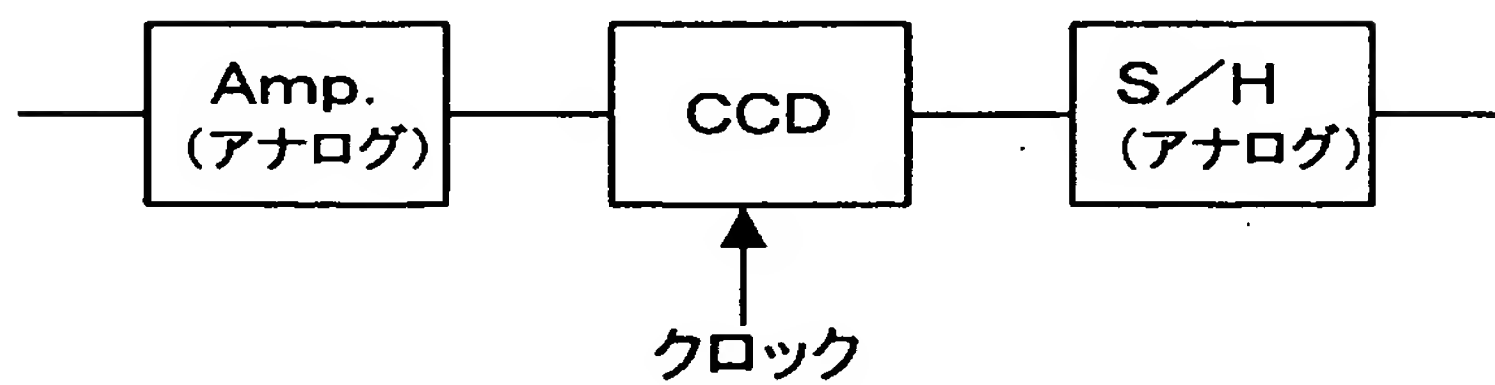
【図 2】

第2の実施形態によるアナログ・デジタル混載集積回路



【図 3】

スイッチング回路を含む回路例



【書類名】 要約書

【要約】

【課題】 クロック信号によるデジタルノイズをアナログ回路が受けて、アナログ信号の品質が劣化してしまう不都合を抑止できるようにする。

【解決手段】 I Cチップ10内をレイアウト上アナログ回路領域1とデジタル回路領域2とに分け、クロック信号C Kを発生するクロック発生回路6をデジタル回路領域2内に配置するとともに、クロック信号C Kによりスイッチング動作するスイッチング回路4もデジタル回路領域2内に配置することにより、クロック発生回路6からスイッチング回路4まで引かれるクロックライン9の配線長を短くし、クロックライン9からアナログ回路領域1内のアナログ回路までの距離をできるだけ遠く離すことができるようにして、クロックライン9上を流れるクロック信号によるデジタルノイズがアナログ回路内に飛び込んでしまう不都合を抑制する。

【選択図】 図1

特願 2 0 0 1 - 2 2 0 8 7 9

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社